

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143913

(43)Date of publication of application : 25.05.2001

(51)Int.CI. H01C 13/02
H01C 7/00

(21)Application number : 11-320533 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

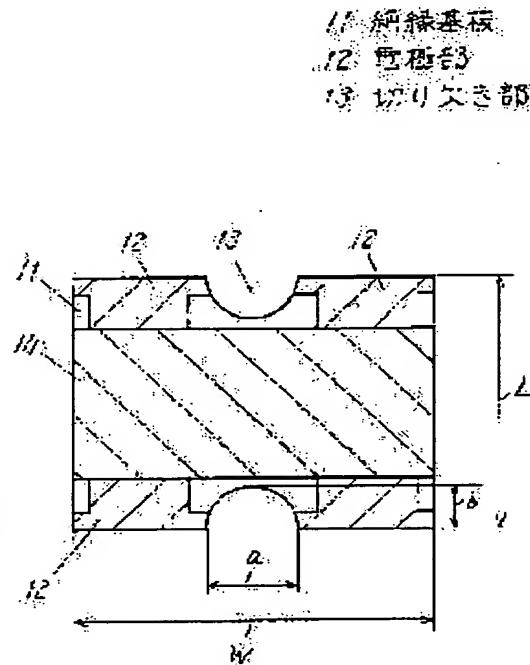
(22)Date of filing : 11.11.1999 (72)Inventor : YAMADA HIROYUKI

(54) MULTIPLE CHIP RESISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multiple chip resistor wherein directions are easily aligned by a complete resistance value selecting machine, its throughput capacity can be improved, and a product is not damaged when shock is applied in the case of mounting onto a printed board.

SOLUTION: In this multiple resistor, two pairs of protruding parts are formed on facing long sides of a rectangular insulating substrate 11, electrode parts 12 are formed on the protruding parts, and a notched part 13 is formed between the adjacent protruding parts. As to the rectangular insulating substrate 11, relations of the short side L, the long side W, the thickness (t), the width (a) of the notched part 13 and the depth (b) of the notched part 13 are set as $L \leq 0.6$ mm, $W/L > 1.3$, $a/W \leq 0.2$, $b/L \leq 0.2$ and $t/L \geq 0.5$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-143913

(P2001-143913A)

(43)公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.⁷
H 0 1 C 13/02
7/00

識別記号

F I
H 0 1 C 13/02
7/00

テマコト⁷(参考)
B 5 E 0 3 3
B

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平11-320533

(22)出願日 平成11年11月11日 (1999.11.11)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 山田 博之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445
弁理士 岩橋 文雄 (外2名)
Fターム(参考) 5E033 BB02 BC08 BE01 BF05 BG02
BG03 BH02 BH03

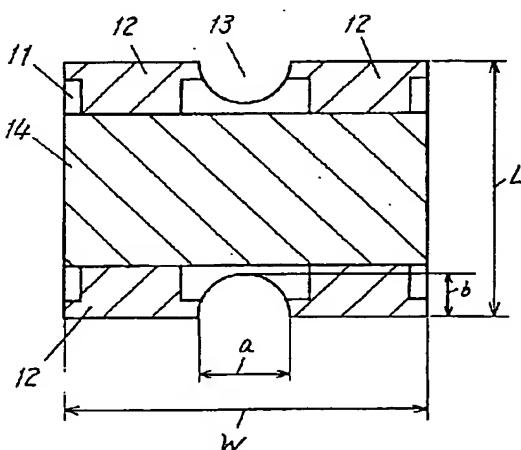
(54)【発明の名称】 多連チップ抵抗器

(57)【要約】

【課題】 完成抵抗値選別機での方向が揃えやすくなつて、完成抵抗値選別機の処理能力を高めることができるとともに、プリント基板への実装時の衝撃がかかっても製品が破損することのない多連チップ抵抗器を提供することを目的とする。

【解決手段】 矩形状の絶縁基板11の対向する長辺に2対の凸部を形成するとともに、この凸部に電極部12を形成し、かつ前記隣り合う凸部間に切り欠き部13を形成してなる多連チップ抵抗器において、前記矩形状の絶縁基板11の短辺L、長辺W、厚みt、切り欠き部13の幅a、切り欠き部13の深さbの関係を、 $L \leq 0.6\text{ mm}$ で、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係にしたるものである。

11 絶縁基板
12 電極部
13 切り欠き部



6/2
6/2

【特許請求の範囲】

【請求項1】 矩形状の絶縁基板の対向する長辺に2対の凸部を形成するとともに、この凸部に電極部を形成し、かつ前記隣り合う凸部間に切り欠き部を形成してなる多連チップ抵抗器において、前記矩形状の絶縁基板の短辺し、長辺W、厚みt、切り欠き部の幅a、切り欠き部の深さbの関係を、 $L \leq 0.6$ mmで、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係にしたことを特徴とする多連チップ抵抗器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、各種電子機器に使用される多連チップ抵抗器に関するものである。

【0002】

【従来の技術】 従来のこの種の多連チップ抵抗器としては、特開平8-122017号公報に開示されたものが知られている。

【0003】 図4(a) (b) は従来の2連の多連チップ抵抗器の斜視図および断面図を示したもので、この図4(a) (b)において、1はセラミック基板で、このセラミック基板1の両側面1aの中央には切欠き2が形成されている。またセラミック基板1の表面1bには側面1aに接するように複数の電極3が形成され、かつこの複数の電極3は前記切欠き2により分割されている。4は複数の電極3間に跨るように形成された複数の抵抗体、5は前記複数の抵抗体4を被覆保護するオーバーコート層、6は前記セラミック基板1の側面1aに位置してセラミック基板1の表面1b、裏面1cにも回り込むように形成された側面電極で、この側面電極6は導電ペーストを印刷・焼成して形成される厚膜電極6aと、はんだまたはニッケルをめっきして形成されるめっき層6bとにより構成されている。

【0004】 そして上記従来の2連の多連チップ抵抗器は、矩形状の多連チップ素子の端部の角を直角とし、かつ端部に位置する側面電極6をセラミック基板1の側面1a、表面1bおよび裏面1cとともに直角の角まで形成することにより、直角の角の部分をシャープな特徴点として認識できるようにして多連チップ素子の位置決めを容易にするとともに、端部に位置する側面電極6の面積が大きくなるようにして固定性およびめっき性を向上させているものである。またこの2連の多連チップ抵抗器は、図4(a)に示すようにほぼ正方形の形状となっているもので、また実際にセットユーザーで大量に使用されている2連の多連チップ抵抗器もほぼ正方形の形状が採用されている。

【0005】

【発明が解決しようとする課題】 しかしながら、上記した従来のセラミック基板1の凸部に電極3を形成した2連の多連チップ抵抗器は、製造最終工程である完成抵抗

值選別機において、抵抗値測定とテーピング挿入のために方向を揃える必要があるが、ほぼ正方形の形状であり、また小形の多連チップ抵抗器ほど重量が軽いために、一度方向を揃えても転がりやすく、その結果、方向を揃えることが非常に難しく、完成抵抗値選別機の処理能力が低いという課題を有していた。

【0006】 また多連チップ抵抗器を小形化する場合、すべての外形寸法を小さくする必要があるため、製品の厚みも薄くするが、このためにセットメーカーでプリント基板に実装する時の衝撃により、製品が割れたり欠けたりして損傷するという課題も有していた。

【0007】 本発明は上記従来の課題を解決するもので、完成抵抗値選別機での方向が揃えやすくなつて、完成抵抗値選別機の処理能力を高めることができるとともに、プリント基板への実装時の衝撃がかかっても製品が破損することのない多連チップ抵抗器を提供することを目的とするものである。

【0008】

【課題を解決するための手段】 上記目的を達成するため20に本発明の多連チップ抵抗器は、矩形状の絶縁基板の対向する長辺に2対の凸部を形成するとともに、この凸部に電極部を形成し、かつ前記隣り合う凸部間に切り欠き部を形成してなる多連チップ抵抗器において、前記矩形状の絶縁基板の短辺し、長辺W、厚みt、切り欠き部の幅a、切り欠き部の深さbの関係を、 $L \leq 0.6$ mmで、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係にしたもので、この構成によれば、完成抵抗値選別機での方向が揃えやすくなつて、完成抵抗値選別機の処理能力を高めることができるとともに、プリント基板への実装時の衝撃がかかっても製品が破損することのない多連チップ抵抗器を提供することができるものである。

【0009】

【発明の実施の形態】 本発明の請求項1に記載の発明は、矩形状の絶縁基板の対向する長辺に2対の凸部を形成するとともに、この凸部に電極部を形成し、かつ前記隣り合う凸部間に切り欠き部を形成してなる多連チップ抵抗器において、前記矩形状の絶縁基板の短辺し、長辺W、厚みt、切り欠き部の幅a、切り欠き部の深さbの

40関係を、 $L \leq 0.6$ mmで、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係にしたもので、この構成によれば、 $L \leq 0.6$ mmで、かつ $W/L > 1.3$ の関係としているため、小形で、かつ横長の形状のものを得ることができ、これにより、製造最終工程である完成抵抗値選別機において、抵抗値測定とテーピング挿入のために方向を揃える場合においても、方向が揃えやすくなるため、完成抵抗値選別機の処理能力を高めることができ、また $a/W \leq 0.2$ 、 $b/L \leq 0.2$ の関係としているため、切り欠き部の幅aと切り欠き部の深さbは小さくなり、これにより、電極を

形成する凸部の幅を広くすることができるとともに、対向する切り欠き部間の距離を長くすることができるため、この種の製品をプリント基板へ実装した際の衝撃で凸部が欠けたり、あるいは切り欠き部間で製品が割れて破損するということではなく、しかも $t/L \geq 0.5$ の関係にして絶縁基板の厚み t を大きくしているため、プリント基板への実装時における製品の破損防止もさらに確実なものが得られるという作用を有するものである。

【0010】以下、本発明の一実施の形態における多連チップ抵抗器について、図面を参照しながら説明する。

【0011】図1は本発明の一実施の形態における2連の多連チップ抵抗器の概略平面図を示したもので、この図1において、11はアルミナ基板からなる矩形状の絶縁基板で、この絶縁基板11の平面形状は長方形となっている。また前記絶縁基板11の対向する長辺には2対の凸部が形成され、この凸部に電極部12が形成されている。そしてまた前記隣り合う凸部に形成した電極部12間には切り欠き部13が形成されており、この切り欠き部13により前記電極部12は分割されている。また前記電極部12は凸部の表面、側面および裏面に連続して形成されるもので、前記絶縁基板11上に導電ペーストを印刷・焼成して厚膜電極を形成し、かつその上にニッケルめっきおよびはんだめっきを形成することにより構成されている。そしてまた前記電極部12間に跨るよう2つの抵抗体(図示せず)が形成されているもので、これらの抵抗体(図示せず)は保護膜層14で被覆保護されている。このとき、絶縁基板11の短辺L、長辺W、厚みt、切り欠き部13の幅a、切り欠き部13の深さbの関係は、 $L \leq 0.6\text{ mm}$ で、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係としている。

【0012】すなわち、本発明の一実施の形態においては、 $L \leq 0.6\text{ mm}$ とすることにより、小形の多連チップ抵抗器を構成し、また $W/L > 1.3$ の関係とすることにより、小形で横長の形状としているものである。この場合、Wとの関係の上限は $W/L \leq 1.6$ である。

【0013】また本発明の一実施の形態においては、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ の関係としているため、切り欠き部13の幅aと深さbを小さくすることができ、これにより、電極部12を形成する凸部の幅を広くすることができるとともに、対向する切り欠き部13間の距離を長くすることができるため、この種の製品をプリント基板に実装した際に衝撃がかかっても、この衝撃により凸部が欠けたり、あるいは切り欠き部13間で製品が割れて破損するということではなくなるものである。なお、aとWの関係の下限およびbとLの関係の下限は、製造可能範囲を配慮して $a/W \geq 0.1$ 、 $b/L \geq 0.1$ とすることが好ましい。

【0014】そしてまた本発明の一実施の形態においては、上記に加えて、 $t/L \geq 0.5$ の関係にして絶縁基

板11の厚みtを大きくしているため、プリント基板への実装時における多連チップ抵抗器の破損防止もさらに確実なものが得られるものである。なお、tとLの関係の上限は、製造可能範囲を配慮して $t/L \leq 0.6$ することが好ましい。

【0015】次に、この2連の多連チップ抵抗器の製造方法について、図2(a)(b)および図3(a)(b)に示す製造工程図を参照しながら説明する。まず、大判のアルミナ基板からなるシート状絶縁基板21を用意し、図2(a)に示すように、スルーホール22を形成するとともに、分割用スリット23、24を形成して、シート状絶縁基板21の表面を区画する。次に、図2(b)に示すように、各区画内に導電ペーストをスクリーン印刷し、これを 850°C で焼成して電極部25を形成する。さらに抵抗ペーストをスクリーン印刷し、これを 850°C で焼成して抵抗体26を形成する。そしてこの抵抗体26は、例えばレーザートリミングによりこの抵抗値が所定の値となるように調整される。

【0016】次に、図3(a)に示すように、2つの抵抗体26を完全に覆うように、絶縁性を有する例えばエポキシ系の保護膜樹脂ペーストをスクリーン印刷し、これを 200°C で硬化して、保護膜層27を各区画内に形成する。その後、この状態でシート状絶縁基板21を分割用スリット23に沿ってブレイクすることにより、短冊状の絶縁基板21aを構成する。次に図3(b)に示すように、短冊状の絶縁基板21aの側面に導電性の樹脂ペーストを塗着し、これを 200°C で硬化して厚膜電極28を形成する。その後、この状態で短冊状の絶縁基板21aを分割用スリット24に沿ってブレイクすることにより個片化し、最後にこの個片化された製品の厚膜電極28の表面にニッケルめっきおよびはんだめっきを施すことによりめっき層を形成して、2連の多連チップ抵抗器を製造するものである。

【0017】以上のように構成された本発明の一実施の形態における多連チップ抵抗器について、アルミナ基板からなる矩形状の絶縁基板11の短辺Lを 0.54 mm 、厚みtを 0.29 mm 、切り欠き部13の幅aを 0.16 mm 、切り欠き部13の深さbを 0.10 mm として、長辺Wを種々変化させたものを作製した。そしてこれらの多連チップ抵抗器について、それぞれ、完成抵抗値選別機での方向を揃える箇所を通過した後における誤方向製品の混入率を調べた。その調査結果を(表1)に示す。この(表1)から明らかのように、W/Lが 1.3 以下のものについては、誤方向製品の混入が発生したのに対し、W/Lを 1.3 より大きくした本発明の実施の形態においては、誤方向製品の混入が全く発生しなかった。

【0018】

【表1】

No	W (mm)	L (mm)	W/L	混入率 (%)
1	0.60	0.54	1.11	48
2	0.70	0.54	1.30	5
3	0.80	0.54	1.48	0
4	0.90	0.54	1.67	0

【0019】次に、矩形状の絶縁基板11の短辺Lを0.54mm、長辺Wを0.80mm、厚みtを0.29mmとして、切り欠き部13の幅a、切り欠き部13の深さbを種々変化させたものを作製した。そしてこれらの多連チップ抵抗器について、それぞれ、プリント基板へ実装した際の製品の割れの発生率を調べた。その結果を(表2) (表3)に示す。

【0020】この(表2) (表3)から明らかなように、a/Wおよびb/Lが0.2より大きいものについては、製品の割れが発生したのに対し、a/Wおよびb/Lを0.2以下とした本発明の実施の形態においては、製品の割れが全く発生しなかった。なお、割れ不良のモードは、a/Wが0.2より大きい場合には電極部12を形成する凸部のカケ割れ、b/Lが0.2より大きい場合には切り欠き部13間での割れであった。

【0021】

【表2】

No	a (mm)	W (mm)	a/W	割れ発生率 (%)
1	0.25	0.80	0.31	15
2	0.20	0.80	0.25	3
3	0.16	0.80	0.20	0
4	0.10	0.80	0.13	0

* 【0022】

【表3】

No	b (mm)	L (mm)	b/L	割れ発生率 (%)
1	0.20	0.54	0.37	63
2	0.15	0.54	0.28	12
3	0.10	0.54	0.19	0
4	0.07	0.54	0.13	0

【0023】さらに、矩形状の絶縁基板11の短辺Lを0.54mm、長辺Wを0.80mm、切り欠き部13の幅aを0.16mm、切り欠き部13の深さbを0.10mmとして、厚みtを種々変化させたものを作製した。そしてこれらの多連チップ抵抗器について、それぞれ、プリント基板へ実装した際の製品の割れの発生率を調べた。その結果を(表4)に示す。この(表4)から明らかなように、t/Lが0.5より小さいものについては、製品の割れが発生したのに対し、t/Lを0.5以上とした本発明の実施の形態においては、製品の割れが全く発生しなかった。

【0024】

【表4】

*

No	t (mm)	L (mm)	t/L	割れ発生率 (%)
1	0.20	0.54	0.37	9
2	0.25	0.54	0.46	2
3	0.29	0.54	0.54	0
4	0.35	0.54	0.65	0

【0025】上記したように、本発明の実施の形態で規定する範囲で多連チップ抵抗器を製造すれば、製品の外形寸法の短辺と長辺の比が大きいために転がりにくく、また短辺と長辺に対する切り欠き部の比、および厚みとの比を規定することにより、アルミナ基板からなる矩形状の絶縁基板11の強度を増すことができるものである。

【0026】なお、上記本発明の一実施の形態における2連の多連チップ抵抗器の製造工程で使用した材料は、これに限定されるものではなく、切り欠き部を有する矩

形状の絶縁基板の外形寸法が本発明で規定する範囲であれば、その他の材料であっても、本発明の一実施の形態と同様の効果が得られることは言うまでもない。

【0027】また、本発明は2連の多連チップ抵抗器のみに適用可能なものであって、3連以上の多連チップ抵抗器に適用しても効果が得られないものである。

【0028】

【発明の効果】以上のように本発明の多連チップ抵抗器は、矩形状の絶縁基板の対向する長辺に2対の凸部を形成するとともに、この凸部に電極部を形成し、かつ前記

隣り合う凸部間に切り欠き部を形成してなる多連チップ抵抗器において、前記矩形状の絶縁基板の短辺L、長辺W、厚みt、切り欠き部の幅a、切り欠き部の深さbの関係を、 $L \leq 0.6\text{ mm}$ で、かつ $W/L > 1.3$ 、 $a/W \leq 0.2$ 、 $b/L \leq 0.2$ 、 $t/L \geq 0.5$ の関係にしたもので、この構成によれば、 $L \leq 0.6\text{ mm}$ で、かつ $W/L > 1.3$ の関係としているため、小形で、かつ横長の形状のものを得ることができ、これにより、製造最終工程である完成抵抗値選別機において、抵抗値測定とテーピング挿入のために方向を揃える場合においても、方向が揃えやすくなるため、完成抵抗値選別機の処理能力を高めることができ、また $a/W \leq 0.2$ 、 $b/L \leq 0.2$ の関係としているため、切り欠き部の幅aと切り欠き部の深さbは小さくなり、これにより、電極を形成する凸部の幅を広くすることができるとともに、対向する切り欠き部間の距離を長くすることができるので、この種の製品をプリント基板へ実装した際の衝撃で凸部が欠けたり、あるいは切り欠き部間で製品が割れて破損するということではなく、しかも $t/L \geq 0.5$ の関係

*係にして絶縁基板の厚みtを大きくしているため、プリント基板への実装時における製品の破損防止もさらに確実なものが得られるというすぐれた効果を有するものである。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す2連の多連チップ抵抗器の概略平面図

【図2】(a) (b) 同多連チップ抵抗器の製造方法を示す工程図

10 【図3】(a) (b) 同多連チップ抵抗器の製造方法を示す工程図

【図4】(a) 従来の2連の多連チップ抵抗器を示す斜視図

(b) 同多連チップ抵抗器の断面図

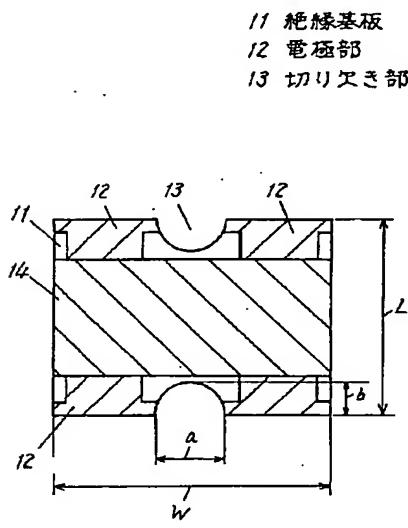
【符号の説明】

11 絶縁基板

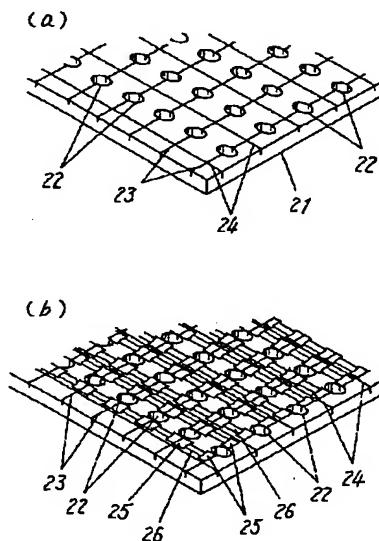
12 電極部

13 切り欠き部

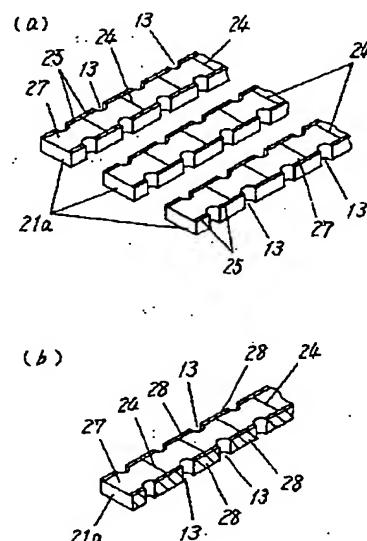
【図1】



【図2】



【図3】



【図4】

